

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235767

(43)公開日 平成5年(1993)9月10日

(51)IntCl⁵

H03M 1/38

識別記号

庁内整理番号

9065-5J

FI

技術表示箇所

審査請求 未請求 請求項の数4(全8頁)

(21)出願番号 特願平4-70293

(22)出願日 平成4年(1992)2月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72)発明者 戸谷 達郎

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(72)発明者 松原 清

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(74)代理人 弁理士 徳若 光政

(54)【発明の名称】 A/D変換器

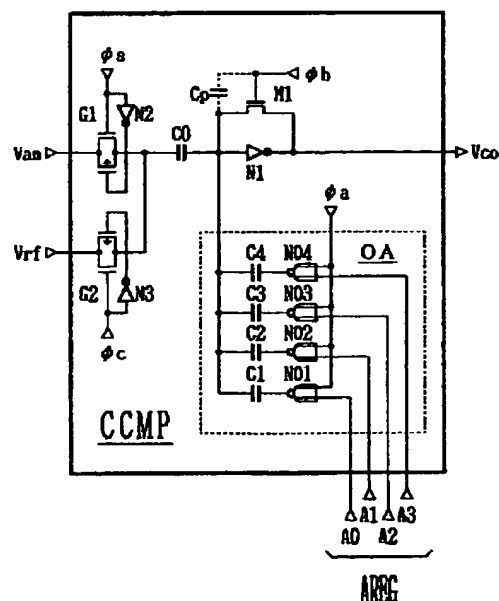
(57)【要約】

【目的】 チョップパ型コンパレータのプロセス変動等によるバラツキを補正し、そのオフセット誤差を低減する。その結果、逐次比較型A/D変換器の変換精度を高め、マイクロコンピュータを含む自動制御システムの高性能化を推進する。

【構成】 その一方の電極に入力電圧 V_{an} 又は参照電圧 V_{rf} を選択的に受けるキャパシタ $C0$ と、その入力端子がキャパシタ $C0$ の他方の電極に結合されるインバータ $N1$ と、インバータ $N1$ の入力端子及び出力端子間に設けられるスイッチMOSFET $M1$ とを含むチョップパ型コンパレータCCMPに、その一方の電極がキャパシタ $C0$ の他方の電極に共通結合されその他方の電極に対応するノアゲート $NO1 \sim NO4$ の出力信号つまりは補正制御信号を受ける複数のキャパシタ $C1 \sim C4$ を含むオフセット補正回路OAを設ける。

図2

CCMP:チョップパ型コンパレータ(本発明)



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 そのオフセット誤差に対する補正量を選択的に切り換えうるオフセット補正回路を備えるチョッパ型コンパレータを具備することを特徴とするA/D変換器。

【請求項2】 上記チョッパ型コンパレータは、その一方の電極に入力電圧又は参照電圧を選択的に受ける第1のキャパシタと、その入力端子が上記第1のキャパシタの他方の電極に結合されるインバータと、上記インバータの入力端子及び出力端子間に設けられるスイッチ手段とを含むものであり、上記オフセット補正回路は、その一方の電極が上記第1のキャパシタの他方の電極に共通結合されその他方の電極に対応する補正制御信号をそれぞれ受けるn個の第2のキャパシタを含むものであることを特徴とする請求項1のA/D変換器。

【請求項3】 上記第2のキャパシタのそれぞれは、所定の基準静電容量値に対して順次2の0乗ないしn-1乗倍の静電容量を持つべく設計されるものであることを特徴とする請求項2のA/D変換器。

【請求項4】 上記A/D変換器は、中央処理ユニットと中央処理ユニットにより書き換え可能な補正データレジスタとを含む1チップ型のマイクロコンピュータに内蔵されるものであって、上記補正制御信号のそれぞれは、上記補正データレジスタにより保持される補正データに従って選択的に形成されるものであることを特徴とする請求項2又は請求項3のA/D変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、A/D (Analog/Digital) 変換器に関し、例えば、自動制御システムを構成するマイクロコンピュータ等に内蔵される逐次比較型A/D変換器に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】図4に例示されるように、その一方の電極にアナログ入力電圧 V_{an} 又は参照電圧 V_{rf} を選択的に受けるキャパシタ C_0 と、その入力端子がキャパシタ C_0 の他方の電極に結合されるインバータ N_1 と、インバータ N_1 の入力端子及び出力端子間にスイッチ手段として設けられるNチャンネル型のMOSFET (金属酸化半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする) M_1 とを含むチョッパ型コンパレータCCMPがある。また、このようなチョッパ型コンパレータを含む逐次比較型A/D変換器があり、逐次比較型A/D変換器を内蔵する自動制御用の1チップ型マイクロコンピュータがある。

【0003】一方、上記チョッパ型コンパレータCCMPでは、例えばMOSFET M_1 の寄生容量 C_p 等起因するオフセット誤差が発生する。このため、図4に示

されるように、そのゲートにタイミング信号 ϕ_b の実質的な相補信号 ϕ_a' を受けるMOSFET M_2 を追加し、その寄生容量 $C_{p'}$ によってチョッパ型コンパレータのオフセット誤差を補正する方法が提案されている。

【0004】チョッパ型コンパレータならびにそのオフセット誤差の補正方法については、例えば、1984年5月発行の『電子通信学会論文誌』Vol. J67-C No. 5 第443頁～第450頁に記載されている。

【0005】

【発明が解決しようとする課題】上記チョッパ型コンパレータにおいて、MOSFET M_2 は、その寄生容量 $C_{p'}$ がオフセット誤差の原因となるMOSFET M_1 の寄生容量 C_p と同一の静電容量値となるべく設計される。ところが、自動制御システムの高性能化が進みA/D変換器に要求される変換精度が高まるに従って、上記のような従来のチョッパ型コンパレータには次の問題点が生じることが本願発明者等によって明らかとなった。すなわち、半導体基板上に形成されるMOSFET M_1 及び M_2 等の寄生容量は、製造プロセスや動作条件等の変動にともなうバラツキを呈し、これらのMOSFETの静電容量値を完全に一致させることは困難とされる。この容量差は、結果的にチョッパ型コンパレータのオフセット誤差を残存させる原因となり、さらには、逐次比較型A/D変換器の変換精度を制限し、マイクロコンピュータを含む自動制御システムの高性能化を制約する一因となる。

【0006】この発明の目的は、チョッパ型コンパレータのプロセス変動等にもなうバラツキを補正し、そのオフセット誤差を低減することにある。この発明の他の目的は、逐次比較型A/D変換器の変換精度を高め、マイクロコンピュータを含む自動制御システムの高性能化を推進することにある。

【0007】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、その一方の電極に入力電圧又は参照電圧を選択的に受ける第1のキャパシタと、その入力端子が第1のキャパシタの他方の電極に結合されるインバータと、インバータの入力端子及び出力端子間にスイッチ手段として設けられるMOSFETとを含むチョッパ型コンパレータに、その一方の電極が第1のキャパシタの他方の電極に共通結合されその他方の電極に対応する補正制御信号をそれぞれ受けるn個の第2のキャパシタを含むオフセット補正回路を設け、第2のキャパシタのそれぞれを、所定の基準静電容量に対して順次2の0乗ないしn-1乗倍の静電容量値を持つべく設計す

るとともに、補正制御信号のそれぞれを、例えば中央処理ユニットから補正データレジスタに所定の補正データを書き込むことによって選択的に形成する。

【0009】

【作用】上記手段によれば、 n 個の第2のキャパシタを選択的に使用してオフセット補正回路のオフセット誤差に対する補正量をプログラマブルに切り換えることができるため、チョッパ型コンパレータのプロセス変動等にもなうバラツキを補正し、そのオフセット誤差を低減することができる。その結果、逐次比較型A/D変換器の変換精度を高め、マイクロコンピュータを含む自動制御システムの高性能化を推進することができる。

【0010】

【実施例】図1には、この発明が適用された逐次比較型A/D変換器の一実施例のブロック図が示されている。同図をもとに、まずこの実施例の逐次比較型A/D変換器SADの構成と動作の概要ならびにその特徴について説明する。なお、この実施例の逐次比較型A/D変換器SADは、特に制限されないが、中央処理ユニットCPUを備えかつ自動制御システムの中心的な装置となる1チップ型のマイクロコンピュータに内蔵される。図1の各ブロックを構成する回路素子は、マイクロコンピュータの図示されない他の回路素子とともに、単結晶シリコンのような1個の半導体基板上に形成される。

【0011】図1において、逐次比較型A/D変換器SADは、チョッパ型コンパレータCCMPとその出力信号Vcoを受ける変換器制御回路CCTLとを備える。このうち、チョッパ型コンパレータCCMPの一方の入力端子には、入力マルチプレサIMPXの出力信号すなわち入力電圧Vanが供給され、その他方の入力端子には、参照電圧発生回路VRFGの出力信号すなわち参照電圧Vrfが供給される。チョッパ型コンパレータCCMPには、さらに、補正データレジスタAREGからその出力信号すなわち補正データA0～A3が供給される。一方、入力マルチプレサIMPXには、マイクロコンピュータの図示されない前段回路からアナログ入力信号Vin0～Vin7が供給され、変換器制御回路CCTLから選択信号S0～S7が供給される。また、参照電圧発生回路VRFGには、逐次比較レジスタCREGから所定ビットの比較データが供給される。

【0012】入力マルチプレサIMPXは、選択信号S0～S7に従ってアナログ入力信号Vin0～Vin7を択一的に選択し、入力電圧Vanとしてチョッパ型コンパレータCCMPの一方の入力端子に伝達する。また、参照電圧発生回路VRFGは、いわゆる抵抗ラダー回路を中心とするD/A(Digital/Analogue)変換回路であって、逐次比較レジスタCREGから供給される所定ビットの比較データをもとに相当するアナログ電位の参照電圧Vrfを形成し、チョッパ型コンパレータCCMPの他方の入力端子に供給する。

【0013】チョッパ型コンパレータCCMPは、入力マルチプレサIMPXから供給される入力電圧Vanと参照電圧発生回路VRFGから供給される参照電圧Vrfの電位を比較し、入力電圧Vanの電位が参照電圧Vrfより高いことを条件にその出力信号Vcoを選択的にロウレベルとする。この実施例において、チョッパ型コンパレータCCMPはオフセット補正回路OAを含み、そのオフセット誤差に対する補正量を補正データレジスタAREGから供給される補正データA0～A3に従って選択的に切り換える機能を備える。また、補正データレジスタAREGにより保持される補正データA0～A3は、中央処理ユニットCPUからシステムバスBUSを介して任意に書き換えることができる。チョッパ型コンパレータCCMPの具体的な構成等については、後で詳細に説明する。

【0014】変換器制御回路CCTLは、チョッパ型コンパレータCCMPの出力信号Vcoをもとに、逐次比較レジスタCREGの比較データを所定のアルゴリズムに従って選択的に書き換える。そして、出力信号Vcoの論理レベルが反転する参照電圧Vrfの最小単位つまりは入力電圧Van及び参照電圧Vrfの実質的な一致点を検出して、入力電圧Vanのアナログ電位に相当する所定ビットのデジタル信号を形成する。なお、変換器制御回路CCTLは、制御レジスタSREG及びシステムバスBUSを介して中央処理ユニットCPUに結合され、中央処理ユニットとの間で所定の制御データを授受する。また、入力電圧Vanのアナログ電位に対応するデジタル信号は、最終的に逐次比較レジスタCREG内に残された比較データとして得られ、比較データレジスタDREG及びシステムバスBUSを介して中央処理ユニットCPUに出力される。

【0015】図2には、図1の逐次比較型A/D変換器SADに含まれるチョッパ型コンパレータCCMPの一実施例の回路図が示され、図3には、その一実施例のタイミング図が示されている。これらの図をもとに、この実施例の逐次比較型A/D変換器SADのチョッパ型コンパレータCCMPの具体的な構成及び動作ならびにその特徴について説明する。なお、図2において、そのチャンネル(バックゲート)部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0016】図2において、チョッパ型コンパレータCCMPは、所定の静電容量を持つキャパシタC0(第1のキャパシタ)を含む。キャパシタC0の一方の電極は、Nチャンネル及びPチャンネルMOSFETからなる相補スイッチG1を介してチョッパ型コンパレータCCMPの一方の入力端子に結合されるとともに、同様な相補スイッチG2を介してチョッパ型コンパレータCCMPの他方の入力端子に結合される。相補スイッチG1を構成するNチャンネル及びPチャンネルMOSFET

5

のゲートには、タイミング信号 ϕ_s 及びそのインバータN2による反転信号がそれぞれ供給され、相補スイッチG2を構成するNチャンネル及びPチャンネルMOSFETのゲートには、タイミング信号 ϕ_c 及びそのインバータN3による反転信号がそれぞれ供給される。

【0017】ここで、タイミング信号 ϕ_s は、図3に示されるように、タイミング信号 ϕ_c に先立って一時的に回路の電源電圧のようなハイレベルとされ、タイミング信号 ϕ_c は、タイミング信号 ϕ_s が回路の接地電位のようなロウレベルに戻された後所定期間だけハイレベルとされる。なお、回路の電源電圧は、特に制限されないが、例えば+5Vのような正の電源電圧とされる。これにより、相補スイッチG1は、タイミング信号 ϕ_s がハイレベルとされるとき選択的にオン状態となり、入力マルチプレサIMPXから出力される入力電圧 V_{an} をキャパシタC0の一方の電極に伝達する。また、相補スイッチG2は、タイミング信号 ϕ_c がハイレベルとされるとき選択的にオン状態となり、参照電圧発生回路VRF Gから出力される参照電圧 V_{rf} をキャパシタC0の一方の電極に伝達する。

【0018】キャパシタC0の他方の電極は、インバー*

$$Q_0 = C_0 \times (V_{an} - V_{lt}) \dots \dots \dots (1)$$

なる電荷 Q_0 が蓄積される。つまり、タイミング信号 ϕ_b がハイレベルとされる期間は、チョッパ型コンパレータCCMPのいわゆるサンプリング期間とされ、キャパシタC0には、その静電容量 C_0 と入力電圧 V_{an} の電位 V_{an} 及びインバータN1の論理スレッシュホルドレベル V_{lt} の差とに応じた所定の電荷 Q_0 が蓄積されるものとなる。

【0020】次に、タイミング信号 ϕ_b がロウレベルとされタイミング信号 ϕ_c がハイレベルとされると、チョッパ型コンパレータCCMPでは、MOSFETM1がオフ状態となり、キャパシタC0の一方の電極には参照電圧発生回路VRF Gから出力される参照電圧 V_{rf} が伝達される。このため、キャパシタC0の一方の電極の電位が入力電圧 V_{an} 及び参照電圧 V_{rf} の電位差分だけ変化し、これに応じてその他方の電極すなわちインバータN1の入力端子の電位が変化する。しかるに、インバータN1の出力信号すなわちチョッパ型コンパレータCCMPの出力信号 V_{co} は、入力電圧 V_{an} の電位が参照電圧 V_{rf} より高いときロウレベルとなり、入力電圧 V_{an} の電位が参照電圧 V_{rf} より低いときにはハイ※

$$Q_p = C_p \times (5 - V_{lt}) \dots \dots \dots (2)$$

なる電荷 Q_p が蓄積される。この蓄積電荷 Q_p は、チョッパ型コンパレータCCMPが逐次比較期間とされタイミング信号 ϕ_b が回路の接地電位のようなロウレベルと★

$$\varepsilon_{OFF} = \Delta Q_0 p / C_0 \cdot 2^k / 5$$

なるオフセット誤差 ε_{OFF} を生じさせる原因となる。なお、 k は、この逐次比較型A/D変換器SADの変換処理により得られるデジタル信号のビット数である。一☆50

6

*タN1の入力端子に結合されるとともに、オフセット補正回路OAを構成する4個(n 個)のキャパシタ(第2のキャパシタ)C1~C4の一方の電極に共通結合される。インバータN1の入力端子及び出力端子間には、そのゲートにタイミング信号 ϕ_b を受けるNチャンネルMOSFETM1(スイッチ手段)が設けられる。また、インバータN1の出力信号は、チョッパ型コンパレータCCMPの出力信号 V_{co} として、変換器制御回路CCTLに供給される。なお、タイミング信号 ϕ_b は、図3に示されるように、タイミング信号 ϕ_s がハイレベルとされるほぼ中間において、言い換えるならばキャパシタC0の一方の電極に入力電圧 V_{an} が伝達される期間のほぼ中間において一時的にハイレベルとされる。

【0019】タイミング信号 ϕ_b がハイレベルとされるとき、チョッパ型コンパレータCCMPでは、MOSFETM1がオン状態とされ、このMOSFETM1を介してインバータN1の入力端子及び出力端子間が短絡される。したがって、インバータN1の入力端子及び出力端子の電位は、その論理スレッシュホルドレベル V_{lt} をもって同電位とされ、キャパシタC0には、

※レベルとなる。つまり、タイミング信号 ϕ_c がハイレベルとされる期間は、チョッパ型コンパレータCCMPのいわゆる逐次比較期間とされ、予めサンプリングされた入力電圧 V_{an} の電位が参照電圧 V_{rf} より高いことを条件にチョッパ型コンパレータCCMPの出力信号 V_{co} が選択的にロウレベルとされる。

【0021】前述のように、チョッパ型コンパレータCCMPの出力信号 V_{co} は変換器制御回路CCTLに供給され、これをもとに逐次比較レジスタCREGの比較データが所定のアルゴリズムに従って書き換えられる。その結果、参照電圧 V_{rf} の電位が段階的に切り換えられ、上記サンプリング動作及び逐次比較動作が入力電圧 V_{an} と参照電圧 V_{rf} が同電位になるまで繰り返される。

【0022】ところで、チョッパ型コンパレータCCMPを構成するMOSFETM1のゲート・ドレイン間には、比較的小さな寄生容量 C_p が存在する。この寄生容量 C_p には、チョッパ型コンパレータCCMPがサンプリング期間とされタイミング信号 ϕ_b が回路の電源電圧のようなハイレベルとされるとき、

★されるとき、キャパシタC0の蓄積電荷量をキャパシタC0とのチャージシェアによって $\Delta Q_0 p$ だけ低下させ、チョッパ型コンパレータCCMPに、[LSB].....(3)

☆方、MOSFETM1の寄生容量 C_p は、製造プロセスや動作条件等の変動にともなうバラツキを呈し、相応してチョッパ型コンパレータCCMPのオフセット誤差も

変動する。また、このようなオフセット誤差をソフトウェア的に補正しようとする、中央処理ユニットCPUに対する処理負担が増大し、その処理能力が低下する。しかるに、この実施例のチョッパ型コンパレータCCMPには、キャパシタC1～C4を含む以下のようなオフセット補正回路OAが設けられ、これによってオフセット誤差の選択的な補正が実現される。

【0023】オフセット補正回路OAは、4個のキャパシタC1～C4と、その出力端子が対応するキャパシタC1～C4の他方の電極に結合される4個のノア(NOR)ゲートNO1～NO4を含む。ノアゲートNO1～NO4の一方の入力端子にはタイミング信号φaが共通に供給され、その他方の入力端子には補正データレジスタAREGから対応する補正データA0～A3がそれぞれ供給される。

【0024】ここで、オフセット補正回路OAを構成するキャパシタC1～C4は、所定の基準静電容量値Csに対して、それぞれ、

$$C1 = 2^0 \times Cs = Cs$$

$$C2 = 2^1 \times Cs = 2 \times Cs$$

$$C3 = 2^2 \times Cs = 4 \times Cs$$

$$C4 = 2^{n-1} \times Cs = 2^3 \times Cs = 8 \times Cs$$

$$Q1 = C1 \times (0 - V1t) = Cs \times (0 - V1t)$$

$$Q2 = C2 \times (0 - V1t) = 2 \times Cs \times (0 - V1t)$$

$$Q3 = C3 \times (0 - V1t) = 4 \times Cs \times (0 - V1t)$$

$$Q4 = C4 \times (0 - V1t) = 8 \times Cs \times (0 - V1t)$$

なる電荷Q1～Q4がそれぞれ蓄積される。これらの蓄積電荷は、チョッパ型コンパレータCCMPが逐次比較期間とされるとき、対応するノアゲートNO1～NO4の出力信号すなわち対応する補正制御信号が回路の電源電圧のようなハイレベルとされることを条件に、言い換えるならば対応する補正データA0～A3がロウレベルとされることを条件に、選択的にキャパシタC0の他方の電極つまりはインバータN1の入力端子の電位を押し上げ、上記MOSFETM1の寄生容量Cpによるオフセット誤差を相殺すべく作用する。

【0026】前述のように、オフセット補正回路OAを構成するキャパシタC1～C4は、所定の基準静電容量値Csに対して順次2の0乗ないし2の3乗倍の静電容量を持つべく設計される。しかるに、この実施例のチョッパ型コンパレータCCMPでは、キャパシタC1～C4の他方の電極に供給される補正制御信号つまりは補正データA0～A3を選択的にロウレベルとすることで、言い換えるならば中央処理ユニットCPUから補正データレジスタAREGに所定の補正データq(ただし、qは16進数)を書き込むことでキャパシタC1～C4を選択的に有効とし、これらのキャパシタによる電荷変動量ΔQaを、

$$\Delta Qa = q \times Cs \times (0 - 5)$$

として、オフセット補正回路OAのオフセット誤差に対

*なる静電容量C1～C4を持つべく設計される。また、タイミング信号φaは、図3に示されるように、タイミング信号φcがハイレベルとされる期間すなわちチョッパ型コンパレータCCMPの逐次比較期間を包含する形で選択的にロウレベルとされ、補正データA0～A3は、それが有効とされるとき選択的にロウレベルとされる。したがって、ノアゲートNO1～NO4の出力信号すなわちキャパシタC1～C4の他方の電極に供給される補正制御信号は、タイミング信号φaがロウレベルとされ対応する補正データA0～A3がロウレベルとされることを条件に選択的にハイレベルとされる。言うまでもなく、チョッパ型コンパレータCCMPがサンプリング期間とされタイミング信号φaがハイレベルとされるとき、ノアゲートNO1～NO4の出力信号は、補正データA0～A3の論理レベルに関係なくすべてロウレベルとされる。

【0025】チョッパ型コンパレータCCMPがサンプリング期間とされ、キャパシタC0に上記(1)式のような電荷Q0がまたMOSFETM1の寄生容量Cpに上記(2)式のような電荷Qpが蓄積されるとき、キャパシタC1～C4には、その他方の電極が回路の接地電位のようなロウレベルとされることから、

※する補正量を2の4乗すなわち16段階に区切って切り換えうるものとなる。このとき、例えば補正量の最小単位を0.1[LSB]に設定したい場合、基準静電容量値Csは、 $Cs = 0.1 \times 2^k \times C0$ とすればよいことになる。

【0027】以上のことから、この実施例の逐次比較型A/D変換器SADでは、マイクロコンピュータの起動時、補正データレジスタAREGに所定の補正データを書き込むだけで、チョッパ型コンパレータCCMPのオフセット誤差ならびにそのプロセス変動等にもなうバラツキを効果的に補正でき、以後のソフトウェア処理は不要となる。その結果、中央処理ユニットCPUの処理負担を増大させることなく、逐次比較型A/D変換器SADの変換精度を高め、逐次比較型A/D変換器SADを含むマイクロコンピュータひいてはマイクロコンピュータを含む自動制御システムの高性能化を推進できるものとなる。

【0028】以上の本実施例に示されるように、この発明を自動制御システムを構成するマイクロコンピュータ等に内蔵される逐次比較型A/D変換器に適用することで、次のような作用効果が得られる。すなわち、

(1) その一方の電極に入力電圧又は参照電圧を選択的に受ける第1のキャパシタと、その入力端子が上記第1

のキャパシタの他方の電極に結合されるインバータと、このインバータの入力端子及び出力端子間にスイッチ手段として設けられるMOSFETとを含むチョッパ型コンパレータに、その一方の電極が第1のキャパシタの他方の電極に共通結合されその他方の電極に対応する補正制御信号をそれぞれ受けるn個の第2のキャパシタを含むオフセット補正回路を設け、第2のキャパシタのそれぞれを、所定の基準静電容量に対して順次2の0乗ないしn-1乗倍の静電容量を持つべく設計するとともに、補正制御信号のそれぞれを、例えば中央処理ユニットから補正データレジスタに所定の補正データを書き込むことによって選択的に形成することで、n個の第2のキャパシタを選択的に使用してオフセット補正回路のオフセット誤差に対する補正量をプログラマブルに切り換えることができるという効果が得られる。

(2) 上記(1)項により、チョッパ型コンパレータを構成する回路素子のプロセス変動等にもなう特性バラツキを補正し、そのオフセット誤差を低減することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、逐次比較型A/D変換器の変換精度を高め、マイクロコンピュータを含む自動制御システムの高性能化を推進することができるという効果が得られる。

【0029】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、入力マルチプレサIMPXつまりは逐次比較型A/D変換器SADに入力されるアナログ入力信号の数は任意に設定できる。また、逐次比較型A/D変換器SADは、中央処理ユニットCPUとの間のデータ授受速度に応じて、任意数の比較データレジスタDREGを備えることができる。チョッパ型コンパレータCCMPに補正データA0~A3を与える補正データレジスタAREGは、例えば書き換え可能なROM(読み出し専用メモリ)に置き換えることができるし、特性試験後選択的に切断される複数のヒューズ手段に置き換えることもできる。図2において、オフセット補正回路OAには、3個以下又は5個以上のキャパシタを設けることができるし、その具体的な回路構成やタイミング信号の組み合わせは、論理条件が同一であることを条件に種々の実施形態を採りうる。

【0030】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である自動制御システムを構成するマイクロコンピュータに内蔵される逐次比較型A/D変換器に適用した場合について説明したが、それに限定されるものではなく、例えば、逐次比較型A/D変換器として単体で形成されるものや逐次比較型A/D変換器を内蔵する各種の半導体装置ならびにこのような逐次比較型A/D変換器又は半導体装置

を含む計測システム等にも適用できる。この発明は、少なくともチョッパ型コンパレータを含むA/D変換器ならびにこのようなA/D変換器を含む装置又はシステムに広く適用できる。

【0031】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、その一方の電極に入力電圧又は参照電圧を選択的に受ける第1のキャパシタと、その入力端子が第1のキャパシタの他方の電極に結合されるインバータと、インバータの入力端子及び出力端子間に設けられるスイッチMOSFETとを含むチョッパ型コンパレータに、その一方の電極が第1のキャパシタの他方の電極に共通結合されその他方の電極に対応する補正制御信号を受けるn個の第2のキャパシタを含むオフセット補正回路を設け、第2のキャパシタのそれぞれを、所定の基準静電容量値に対して順次2の0乗ないしn-1乗倍の静電容量を持つべく設計するとともに、補正制御信号のそれぞれを、例えば中央処理ユニットから補正データレジスタに所定の補正データを書き込むことにより選択的に形成することで、n個の第2のキャパシタを選択的に使用してオフセット補正回路のオフセット誤差に対する補正量をプログラマブルに切り換えることができるため、チョッパ型コンパレータのプロセス変動等にもなうバラツキを補正し、そのオフセット誤差を低減することができる。その結果、逐次比較型A/D変換器の変換精度を高め、マイクロコンピュータを含む自動制御システムの高性能化を推進することができる。

【図面の簡単な説明】

【図1】この発明が適用された逐次比較型A/D変換器の一実施例を示すブロック図である。

【図2】図1の逐次比較型A/D変換器に含まれるチョッパ型コンパレータの一実施例を示す回路図である。

【図3】図2のチョッパ型コンパレータの一実施例を示すタイミング図である。

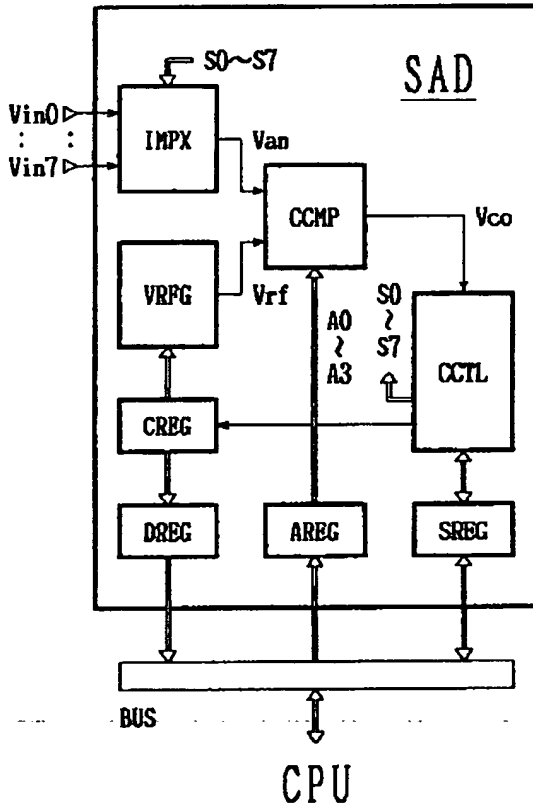
【図4】従来の逐次比較型A/D変換器に含まれるチョッパ型コンパレータの一例を示す回路図である。

【符号の説明】

SAD・・・逐次比較型A/D変換器、CCMP・・・チョッパ型コンパレータ、IMPX・・・入力マルチプレサ、VRFG・・・参照電圧発生回路、CCTL・・・変換器制御回路、SREG・・・制御レジスタ、CREG・・・逐次比較レジスタ、DREG・・・比較データレジスタ、AREG・・・補正データレジスタ、BUS・・・システムバス、CPU・・・中央処理ユニット、C0~C4・・・キャパシタ、Cp、Cp'・・・寄生容量、M1~M2・・・NチャンネルMOSFET、G1~G2・・・相補スイッチ、N1~N3・・・インバータ、OA・・・オフセット補正回路、NO1~NO4・・・ノア(NOR)ゲート。

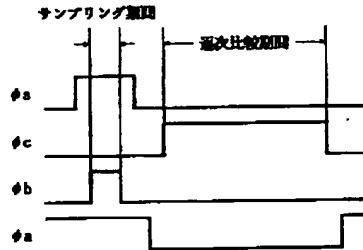
【図1】

図1

SAD: 逐次比較型A/D変換器

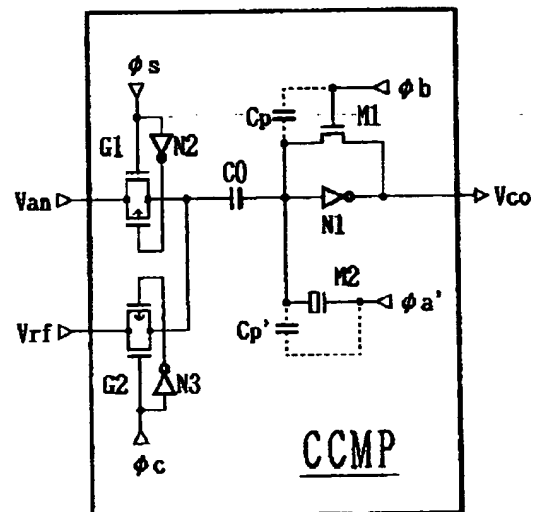
【図3】

図3

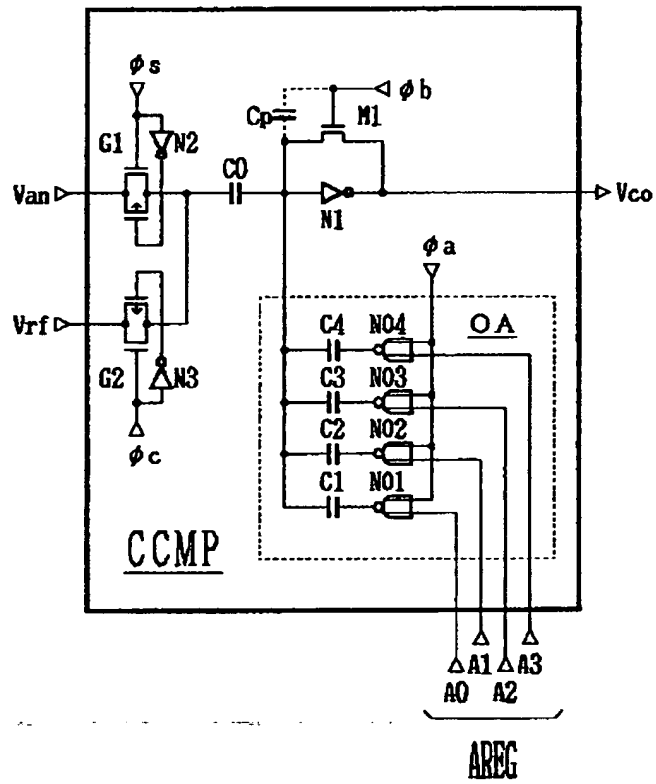
CCMPタイミング図

【図4】

図4

CCMP: チョッパ型コンパレータ (従来例)

【図2】

図2 CCMP:チョッパ型コンパレータ (本発明)

CLIPPEDIMAGE= JP405235767A

PAT-NO: JP405235767A

DOCUMENT-IDENTIFIER: JP 05235767 A

TITLE: A/D CONVERTER

PUBN-DATE: September 10, 1993

INVENTOR-INFORMATION:

NAME

TOTANI, TATSURO

MATSUBARA, KIYOSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

KK HITACHI MICOM SYST

COUNTRY

N/A

N/A

APPL-NO: JP04070293

APPL-DATE: February 20, 1992

INT-CL (IPC): H03M001/38

US-CL-CURRENT: 341/155

ABSTRACT:

PURPOSE: To proceed high performance automatic control system including a microcomputer by correcting dispersion due to process fluctuation or the like of a chopper type comparator, reducing an offset error and improving the conversion accuracy of a successive approximation A/D converter.

CONSTITUTION: A chopper type comparator CCMP including a capacitor C0 whose one electrode receives an input voltage Van or a reference voltage Vrf selectively, an inverter N1 whose input terminal connects to the other electrode of the

capacitor C0, and a switch MOSFETM1 provided between the input terminal and the output terminal of the inverter N1 is provided with an offset correction circuit OA including plural capacitors C1-C4 whose one-side electrodes are connected in common to the other electrode of the capacitor C0 and whose other-side electrodes receive output signals of NOR gates N01-N04, that is, correction control signals.

COPYRIGHT: (C)1993,JPO&Japio

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.